Tổng quan về thiết bị Intel Arria 10

Dòng thiết bị Intel ® Arria ® 10 bao gồm các FPGA và SoC tầm trung 20 nm hiệu suất cao và tiết kiệm điện .

Dòng thiết bị Intel ® Arria ® 10 cung cấp:

* Hiệu suất cao hơn thế hệ FPGA tầm trung và cao cấp trước đây.
* Hiệu quả sử dụng điện đạt được nhờ một bộ công nghệ tiết kiệm điện toàn diện.

Các thiết bị Intel ® Arria ® 10 lý tưởng cho các ứng dụng tầm trung, nhạy cảm với hiệu suất cao, ở nhiều thị trường khác nhau.

Bảng 1.   Thị trường mẫu và ứng dụng lý tưởng cho thiết bị Intel ® Arria ® 10

| **Thị trường** | **Các ứng dụng** |
| --- | --- |
| Không dây | * Kênh và chuyển đổi thẻ trong đầu radio từ xa * Sửa chữa lại di động |
| Đường dây | * 40G / 100G muxponders và bộ phát đáp * Thẻ dòng 100G * Bắc cầu * Tổng hợp |
| Phát thanh | * Công tắc phòng thu * Máy chủ và vận chuyển * Hội nghị truyền hình * Âm thanh và video chuyên nghiệp |
| Máy tính và lưu trữ | * Bộ nhớ đệm flash * Máy chủ điện toán đám mây * Tăng tốc máy chủ |
| Y khoa | * Máy quét chẩn đoán * Chẩn đoán hình ảnh |
| Quân đội | * Hướng dẫn và điều khiển tên lửa * Rađa * Chiến tranh điện tử * Thông tin liên lạc an toàn |

# Ưu điểm chính của thiết bị Intel Arria 10

Bảng 2. Ưu điểm chính của Dòng thiết bị Intel ® Arria ® 10

| **Lợi thế** | **Tính năng hỗ trợ** |
| --- | --- |
| Kiến trúc cốt lõi nâng cao | * Được xây dựng trên công nghệ quy trình 20 nm của TSMC * Hiệu suất cao hơn 60% so với thế hệ FPGA tầm trung trước đây * Hiệu suất cao hơn 15% so với FPGA thế hệ trước nhanh nhất |
| Bộ thu phát tích hợp băng thông cao | * Tốc độ tiếp cận ngắn lên đến 25,8 Gigabit / giây (Gbps) * Khả năng bảng nối đa năng lên đến 12,5 Gbps * Tích hợp 10GBASE-KR và 40GBASE-KR4 Sửa lỗi chuyển tiếp (FEC) |
| Cải thiện tích hợp logic và khối IP cứng | * Mô-đun logic thích ứng 8 đầu vào (ALM) * Bộ nhớ nhúng lên đến 65,6 megabit (Mb) * Khối xử lý tín hiệu kỹ thuật số có độ chính xác thay đổi (DSP) * Vòng lặp khóa pha tổng hợp phân số (PLL) * Khối IP cứng PCI Express Gen3 * Bộ điều khiển bộ nhớ cứng và PHY lên đến 2.400 Megabit mỗi giây (Mbps) |
| Hệ thống bộ xử lý cứng thế hệ thứ hai (HPS) tích hợp bộ xử lý ARM \* Cortex \* -A9 \* MPCore \* | * Tích hợp chặt chẽ bộ vi xử lý ARM Cortex-A9 MPCore lõi kép, IP cứng và FPGA trong một hệ thống trên chip (SoC) Intel ® Arria ® 10 duy nhất * Hỗ trợ băng thông đỉnh trên 128 Gbps với đồng thời dữ liệu tích hợp giữa bộ xử lý và kết cấu FPGA |
| Tiết kiệm điện năng nâng cao | * Tập hợp toàn diện các tính năng tiết kiệm điện nâng cao * Định tuyến MultiTrack được tối ưu hóa năng lượng và kiến ​​trúc cốt lõi * Công suất thấp hơn tới 40% so với thế hệ FPGA tầm trung trước đây * Công suất thấp hơn tới 60% so với thế hệ FPGA cao cấp trước đây |

# Tóm tắt các tính năng của Intel Arria 10

Bảng 3. Tóm tắt các tính năng cho thiết bị Intel ® Arria ® 10

| **Đặc tính** | **Sự miêu tả** | |
| --- | --- | --- |
| Công nghệ | * Công nghệ xử lý SoC 20 nm của TSMC * Cho phép hoạt động tại một V thấp CC mức 0,82 V thay vì 0,9 V tiêu chuẩn V CC điện áp lõi | |
| Bao bì | * Bao bì Fineline BGA đường bóng 1,0 mm * Bao bì Ultra Fineline BGA đường bóng 0,8 mm * Nhiều thiết bị có dấu chân gói giống hệt nhau để di chuyển liền mạch giữa các mật độ FPGA khác nhau * Các thiết bị có dấu chân gói tương thích cho phép chuyển sang thiết bị Stratix ® 10 cao cấp thế hệ tiếp theo * Các tùy chọn RoHS, có chì [1](https://www.intel.com/content/www/us/en/programmable/documentation/sam1403480274650.html" \l "fntarg_1) và không có chì (Pb-free) | |
| Vải FPGA hiệu suất cao | * ALM 8 đầu vào nâng cao với bốn thanh ghi * Cải tiến kiến ​​trúc định tuyến đa rãnh để giảm tắc nghẽn và cải thiện thời gian biên dịch * Kiến trúc xung nhịp lõi phân cấp * Cấu hình lại từng phần chi tiết | |
| Khối bộ nhớ trong | * M20K — Khối bộ nhớ 20-Kb với mã sửa lỗi cứng (ECC) * Khối mảng logic bộ nhớ (MLAB) —Bộ nhớ 640-bit | |
| Các khối IP cứng được nhúng | DSP có độ chính xác thay đổi | * Hỗ trợ riêng cho các mức độ chính xác xử lý tín hiệu từ 18 x 19 đến 54 x 54 * Hỗ trợ riêng cho chế độ số nhân 27 x 27 * Bộ tích lũy và xếp tầng 64-bit cho các phản ứng xung hữu hạn tâm thu (FIR) * Ngân hàng bộ nhớ hệ số bên trong * Preadder / subtractor để cải thiện hiệu quả * Đăng ký đường ống bổ sung để tăng hiệu suất và giảm điện năng * Hỗ trợ số học dấu phẩy động:   + Thực hiện các phép nhân, cộng, trừ, nhân-cộng, nhân-trừ và nhân phức.   + Hỗ trợ phép nhân với khả năng tích lũy, tổng kết theo tầng và khả năng trừ theo tầng.   + Điều khiển đặt lại bộ tích lũy động.   + Hỗ trợ điểm vector trực tiếp và chuỗi phép nhân phức tạp nhân các khối DSP dấu chấm động. |
| Bộ điều khiển bộ nhớ | DDR4, DDR3 và DDR3L |
| PCI Express \* | IP cứng PCI Express (PCIe \*) Gen3 (x1, x2, x4 hoặc x8), Gen2 (x1, x2, x4 hoặc x8) và Gen1 (x1, x2, x4 hoặc x8) với ngăn xếp giao thức, điểm cuối hoàn chỉnh, và cổng gốc |
| Bộ thu phát I / O | * Sửa lỗi chuyển tiếp 10GBASE-KR / 40GBASE-KR4 (FEC) * PCS IP cứng hỗ trợ:   + 10-Gbps Ethernet (10GbE)   + Giao diện PCIe PIPE   + Interlaken   + Gbps Ethernet (GbE)   + Giao diện vô tuyến công cộng chung (CPRI) với hỗ trợ độ trễ xác định   + Mạng quang thụ động hỗ trợ Gigabit (GPON) với hỗ trợ thời gian khóa nhanh * 13,5G JESD204b * Bộ mã hóa và giải mã 8B / 10B , 64B / 66B , 64B / 67B * Hỗ trợ chế độ tùy chỉnh cho các giao thức độc quyền |
| Mạng đồng hồ lõi | * Xung nhịp vải lên đến 800 MHz , tùy thuộc vào ứng dụng:   + Xung nhịp giao diện bộ nhớ ngoài 667 MHz với giao diện DDR4 2.400 Mbps   + Xung nhịp giao diện LVDS 800 MHz với giao diện LVDS 1.600 Mbps * Mạng đồng hồ toàn cầu, khu vực và ngoại vi * Mạng đồng hồ không được sử dụng có thể được kiểm soát để giảm năng lượng động | |
| Các vòng bị khóa pha (PLL) | * PLL tổng hợp phân đoạn có độ phân giải cao:   + Tổng hợp đồng hồ chính xác, bù trễ đồng hồ và đệm trễ bằng không (ZDB)   + Hỗ trợ chế độ số nguyên và chế độ phân số   + Hỗ trợ chế độ phân số với điều chế delta-sigma bậc ba * PLL số nguyên:   + Liền kề I / O mục đích chung   + Hỗ trợ bộ nhớ ngoài và giao diện LVDS | |
| FPGA I / Os mục đích chung (GPIO) | * 1.6 Gbps LVDS — mọi cặp có thể được định cấu hình làm bộ thu hoặc bộ phát * Kết thúc trên chip (OCT) * Giao diện LVTTL / LVCMOS một đầu 1,2 V đến 3,0 V | |
| Giao diện bộ nhớ ngoài | * Bộ điều khiển bộ nhớ cứng— Hỗ trợ DDR4, DDR3 và DDR3L   + DDR4 — tốc độ lên đến 1.200 MHz / 2.400 Mbps   + DDR3 — tốc độ lên đến 1,067 MHz / 2,133 Mbps * Bộ điều khiển bộ nhớ mềm — cung cấp hỗ trợ cho RLDRAM 3 [2](https://www.intel.com/content/altera-www/global/en_us/index/documentation/sam1403480274650.html#sam1403480014933__fn_EMIFHardPhySoftController) , QDR IV [2](https://www.intel.com/content/altera-www/global/en_us/index/documentation/sam1403480274650.html#sam1403480014933__fn_EMIFHardPhySoftController) và QDR II + | |
| Máy thu phát nối tiếp công suất thấp | * Phạm vi hoạt động liên tục:   + Intel ® Arria ® 10 GX— 1 Gbps đến 17,4 Gbps   + Intel ® Arria ® 10 GT— 1 Gbps đến 25,8 Gbps * Hỗ trợ bảng nối đa năng:   + Intel ® Arria ® 10 GX — lên đến 12,5   + Intel ® Arria ® 10 GT — lên đến 12,5 * Phạm vi mở rộng xuống tới 125 Mbps với oversampling * ATX truyền PLL với khả năng tổng hợp phân đoạn do người dùng định cấu hình * Hỗ trợ bù tán sắc điện tử (EDC) cho mô-đun quang học XFP, SFP +, QSFP và CFP * Cân bằng phản hồi tuyến tính và quyết định thích ứng * Nhấn mạnh trước và giảm nhấn mạnh máy phát * Cấu hình lại một phần động của các kênh thu phát riêng lẻ | |
| HPS  ( Chỉ dành cho thiết bị Intel ® Arria ® 10 SX ) | Bộ xử lý và hệ thống | * Bộ xử lý ARM Cortex-A9 MPCore lõi kép— CPU 1,2 GHz với khả năng tăng tốc 1,5 GHz * RAM trên chip 256 KB và ROM trên chip 64 KB * Thiết bị ngoại vi của hệ thống — bộ định thời cho mục đích chung, bộ định thời cho cơ quan giám sát, bộ điều khiển truy cập bộ nhớ trực tiếp (DMA), trình quản lý cấu hình FPGA và trình quản lý đặt lại và đồng hồ * Các tính năng bảo mật — chống giả mạo, khởi động an toàn, Tiêu chuẩn mã hóa nâng cao (AES) và xác thực (SHA) * Cổng truy cập gỡ lỗi ARM CoreSight \* JTAG, cổng theo dõi và lưu trữ dấu vết trên chip |
| Giao diện bên ngoài | * Giao diện bộ nhớ cứng — Bộ điều khiển bộ nhớ cứng ( 2.400 Mbps DDR4 và 2.133 Mbps DDR3), Bộ điều khiển flash giao diện ngoại vi bốn nối tiếp (QSPI), bộ điều khiển flash NAND, bộ điều khiển truy cập bộ nhớ trực tiếp (DMA), bộ điều khiển Secure Digital / MultiMediaCard ( SD / MMC ) * Giao diện truyền thông— 10/100/1000 điều khiển truy cập phương tiện Ethernet (MAC), bộ điều khiển USB On-The-GO (OTG), bộ điều khiển I 2 C, UART 16550, giao diện ngoại vi nối tiếp (SPI) và lên đến 62 giao diện GPIO HPS ( 48 I / O chia sẻ trực tiếp) |
| Kết nối với lõi | * Cầu bus ARM AMBA \* AXI hiệu suất cao hỗ trợ đọc và ghi đồng thời * Cầu HPS-FPGA — bao gồm cầu FPGA-to-HPS, HPS-to-FPGA và HPS-to-FPGA nhẹ cho phép cấu trúc FPGA cấp giao dịch cho nô lệ trong HPS và ngược lại * Cầu cấu hình cho phép trình quản lý cấu hình HPS định cấu hình logic lõi thông qua cổng cấu hình 32 bit chuyên dụng * Cầu bộ điều khiển FPGA-to-HPS SDRAM — cung cấp giao diện cấu hình cho giao diện người dùng đa cổng (MPFE) của bộ điều khiển HPS SDRAM |
| Cấu hình | * Bảo vệ giả mạo — bảo vệ thiết kế toàn diện để bảo vệ các khoản đầu tư IP có giá trị của bạn * Tăng cường bảo mật thiết kế chuẩn mã hóa nâng cao 256-bit (AES) với xác thực * Cấu hình qua giao thức (CvP) bằng PCIe \* Gen1, Gen2 hoặc Gen3 * Cấu hình lại động của bộ thu phát và PLL * Cấu hình lại từng phần hạt mịn của vải lõi * Giao diện Active Serial x4 | |
| Quản lý năng lượng | * SmartVID * Tùy chọn thiết bị công suất tĩnh thấp * Công nghệ nguồn lập trình * Phân tích năng lượng tích hợp Intel ® Quartus ® Prime | |
| Phần mềm và công cụ | * Bộ thiết kế Intel ® Quartus ® Prime * Bộ công cụ thu phát * Công cụ tích hợp hệ thống Platform Designer * DSP Builder cho Intel FPGA * Hỗ trợ OpenCL ™ * Bộ thiết kế nhúng Intel ® SoC FPGA (EDS) | |

# Gói và Biến thể thiết bị Intel Arria 10

Bảng 4. Device biến thể cho Intel ® Arria ® 10 thiết bị gia đình

| **Biến thể** | **Sự miêu tả** |
| --- | --- |
| Intel ® Arria ® 10 GX | FPGA có bộ thu phát 17,4 Gbps cho các ứng dụng tầm ngắn với khả năng điều khiển bảng nối đa năng 12,5 . |
| Intel ® Arria ® 10 GT | FPGA có:   * Bộ thu phát 17,4 Gbps cho các ứng dụng tầm ngắn với khả năng điều khiển bảng nối đa năng 12,5 . * Bộ thu phát 25,8 Gbps để hỗ trợ các ứng dụng CAUI-4 và CEI-25G với mô-đun CFP2 và CFP4. |
| Intel ® Arria ® 10 SX | SoC tích hợp HPS và FPGA dựa trên ARM có bộ thu phát 17,4 Gbps cho các ứng dụng tầm ngắn với khả năng điều khiển bảng nối đa năng 12,5 . |

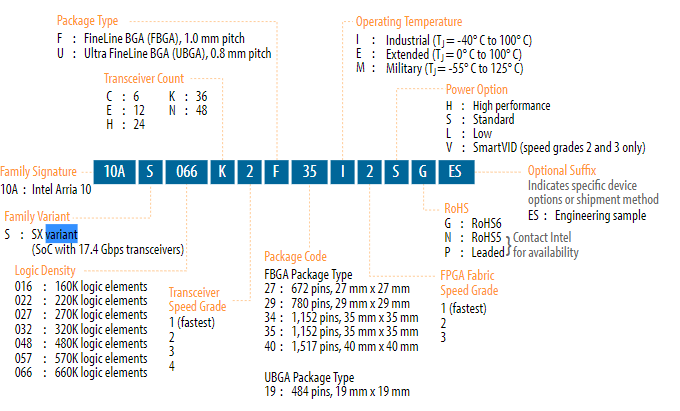
# Intel Arria 10 SX

Phần này cung cấp các tùy chọn khả dụng, số lượng tài nguyên tối đa và gói gói cho thiết bị Intel ® Arria ® 10 SX .

Thông tin trong phần này là chính xác tại thời điểm xuất bản. Để biết thông tin mới nhất và để biết thêm chi tiết, hãy tham khảo Bộ chọn sản phẩm Intel FPGA.

# Tùy chọn có sẵn

Hình 3.  Thứ tự Mẫu Mã và Tùy chọn có sẵn cho Intel ® Arria ® 10 SX Thiết bị



# Tài nguyên tối đa

Bảng 12. Đếm tối đa nguồn lực cho Intel ® Arria ® 10 SX Thiết bị

| **Nguồn** | | **Dòng sản phẩm** |
| --- | --- | --- |
| **SX 660** |
| Yếu tố logic (LE) (K) | | 660 |
| ALM | | 251.680 |
| Đăng ký | | 1.006.720 |
| Bộ nhớ (Kb) | M20K | 42.620 |
| MLAB | 5.788 |
| Khối DSP có độ chính xác thay đổi | | 1.687 |
| Hệ số nhân 18 x 19 | | 3.374 |
| PLL | Tổng hợp phân số | 16 |
| I / O | 16 |
| Bộ thu phát 17,4 Gbps | | 48 |
| GPIO [8](https://www.intel.com/content/www/us/en/programmable/documentation/sam1403480274650.html" \l "fntarg_8) | | 696 |
| Cặp LVDS [9](https://www.intel.com/content/www/us/en/programmable/documentation/sam1403480274650.html" \l "fntarg_9) | | 300 |
| Khối IP cứng PCIe | | 2 |
| Bộ điều khiển bộ nhớ cứng | | 16 |
| Bộ xử lý ARM Cortex-A9 MPCore | | Đúng |

# Gói cước

Bảng 13. Gói Gói dành cho Thiết bị Intel ® Arria ® 10 SX (U19, F27, F29 và F34)

Tham khảo I/O và I/O tốc độ cao trong chương Thiết bị Intel ® Arria ® 10 để biết số lượng 3 kênh VI/O, LVDS I/O và LVDS trong mỗi gói thiết bị.

| **Dòng sản phẩm** | **U19**  **(19 mm × 19 mm, UBGA 484 chân)** | | | **F27**  **(27 mm × 27 mm, FBGA 672 chân)** | | | **F29**  **(29 mm × 29 mm, FBGA 780 chân)** | | | **F34**  **(35 mm × 35 mm, FBGA 1152 chân)** | | |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| **3 V I / O** | **LVDS I / O** | **XCVR** | **3 V I / O** | **LVDS I / O** | **XCVR** | **3 V I / O** | **LVDS I / O** | **XCVR** | **3 V I / O** | **LVDS I / O** | **XCVR** |
| SX 660 | - | - | - | - | - | - | - | - | - | 48 | 444 | 24 |

Bảng 14. Gói Gói dành cho Thiết bị Intel ® Arria ® 10 SX (F35, KF40 và NF40)

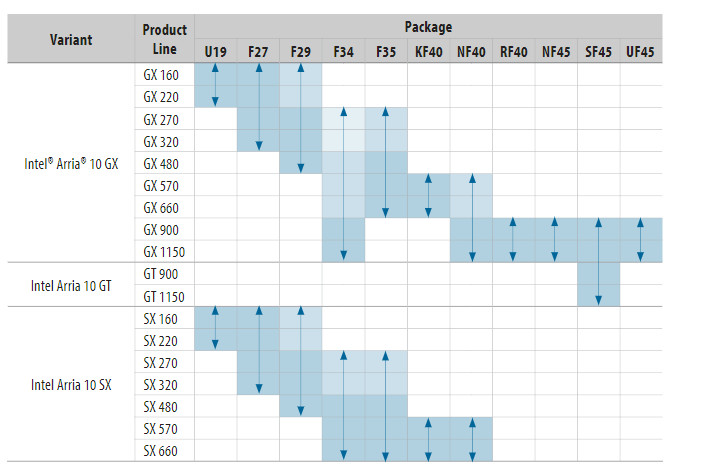
Tham khảo I/O và I/O tốc độ cao trong chương Thiết bị Intel ® Arria ® 10 để biết số lượng 3 kênh VI/O, LVDS I/O và LVDS trong mỗi gói thiết bị.

| **Dòng sản phẩm** | **F35**  **(35 mm × 35 mm, FBGA 1152 chân)** | | | **KF40**  **(40 mm × 40 mm, FBGA 1517 chân)** | | | **NF40**  **(40 mm × 40 mm, FBGA 1517 chân)** | | |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| **3 V I / O** | **LVDS I / O** | **XCVR** | **3 V I / O** | **LVDS I / O** | **XCVR** | **3 V I / O** | **LVDS I / O** | **XCVR** |
| SX 660 | 48 | 348 | 36 | 96 | 600 | 36 | 48 | 540 | 48 |

# Di chuyển dọc I / O cho thiết bị Intel Arria 10

Hình 4. Khả năng di chuyển qua 10 dòng sản phẩm của Intel ® Arria ®

* Các mũi tên chỉ ra các đường di chuyển. Các thiết bị có trong mỗi đường di chuyển dọc được tô bóng. Các thiết bị có ít tài nguyên hơn trong cùng một đường dẫn có sắc thái nhẹ hơn.
* Để đạt được sự di chuyển I/O đầy đủ trên các dòng sản phẩm trong cùng một lộ trình di chuyển, hãy hạn chế việc sử dụng I/O và bộ thu phát để phù hợp với dòng sản phẩm có số lượng bộ thu phát và I/O thấp nhất.
* Ngân hàng LVDS I/O trong thiết bị nguồn có thể được ánh xạ tới ngân hàng 3 VI/O trong thiết bị đích. Để sử dụng tần số xung nhịp giao diện bộ nhớ cao hơn 533 MHz, chỉ chỉ định các chân giao diện bộ nhớ ngoài cho các ngân hàng LVDS I/O trong cả hai thiết bị.
* Có thể có chênh lệch chiều cao gói 0,15 mm danh nghĩa giữa một số dòng sản phẩm trong cùng một loại gói.
* Một số đường di chuyển không được hiển thị trong Chế độ xem Pin Migration của phần mềm Intel ® Quartus ® Prime.



Lưu ý: Để xác minh tính tương thích của việc di chuyển pin, hãy sử dụng cửa sổ Pin Migration View trong Pin Planner của phần mềm Intel ® Quartus ® Prime .

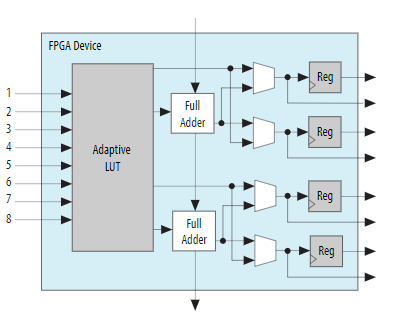
# Mô-đun logic thích ứng

Thiết bị Intel ® Arria ® 10 sử dụng ALM 20 nm làm khối xây dựng cơ bản của kết cấu logic.

Kiến trúc ALM giống như các FPGA thế hệ trước, cho phép thực hiện hiệu quả các chức năng logic và dễ dàng chuyển đổi IP giữa các thế hệ thiết bị.

ALM, như được thể hiện trong hình sau, sử dụng bảng tra cứu có thể bẻ gãy 8 đầu vào (LUT) với bốn thanh ghi chuyên dụng để giúp cải thiện việc đóng thời gian trong các thiết kế giàu thanh ghi và đạt được khả năng đóng gói thiết kế thậm chí cao hơn so với hai thanh ghi truyền thống mỗi kiến ​​trúc LUT.

Hình 5. ALM cho Thiết bị Intel ® Arria ® 10



Phần mềm Intel ® Quartus ® Prime tối ưu hóa thiết kế của bạn theo cấu trúc logic ALM và tự động ánh xạ các thiết kế kế thừa vào kiến trúc Intel ® Arria ® 10 ALM.

# Khối DSP có độ chính xác có thể thay đổi

Các Intel ® Arria ® 10 biến chính xác DSP khối hỗ trợ cố định điểm số học và dấu chấm động số học.

Các tính năng cho số học điểm cố định:

* Các hoạt động nhân hiệu suất cao, tối ưu hóa điện năng và được đăng ký đầy đủ
* Độ dài từ 18 bit và 27 bit
* Hai hệ số nhân 18 x 19 hoặc một hệ số nhân 27 x 27 trên mỗi khối DSP
* Tích hợp sẵn thanh ghi cộng, trừ và tích lũy kép 64 bit để kết hợp các kết quả nhân
* Xếp tầng 19-bit hoặc 27-bit khi bộ cộng trước bị tắt và xếp tầng 18-bit khi bộ bổ sung trước được sử dụng để tạo đường trễ chạm để lọc ứng dụng
* Xếp tầng bus đầu ra 64-bit để truyền kết quả đầu ra từ khối này sang khối tiếp theo mà không cần hỗ trợ logic bên ngoài
* Bộ cộng trước cứng được hỗ trợ ở chế độ 19 bit và 27 bit cho các bộ lọc đối xứng
* Ngân hàng thanh ghi hệ số bên trong ở cả chế độ 18 bit và 27 bit để triển khai bộ lọc
* Bộ lọc đáp ứng xung hữu hạn tâm thu (FIR) 18 bit và 27 bit với bộ cộng đầu ra phân tán
* Hỗ trợ làm tròn thiên vị

Các tính năng cho số học dấu phẩy động:

* Một kiến ​​trúc hoàn toàn cứng hỗ trợ nhân, cộng, trừ, nhân-cộng và nhân-trừ
* Nhân với khả năng tích lũy và điều khiển đặt lại bộ tích lũy động
* Phép nhân với khả năng tổng kết theo tầng
* Phép nhân với khả năng trừ theo tầng
* Phép nhân phức tạp
* Sản phẩm chấm vector trực tiếp
* Bộ lọc FIR tâm thu

Bảng 15. Cấu hình khối DSP có độ chính xác có thể thay đổi cho thiết bị Intel ® Arria ® 10

| **Ví dụ sử dụng** | **Kích thước hệ số (Bit)** | **Tài nguyên khối DSP** |
| --- | --- | --- |
| Điểm cố định chính xác trung bình | Hai 18 x 19 | 1 |
| Dấu chấm động cố định hoặc chính xác cao | Một 27 x 27 | 1 |
| FFT điểm cố định | Một 19 x 36 với bộ cộng bên ngoài | 1 |
| Điểm cố định chính xác rất cao | Một 36 x 36 với bộ cộng bên ngoài | 2 |
| Dấu chấm động chính xác gấp đôi | Một 54 x 54 với bộ cộng bên ngoài | 4 |

Bảng 16. Tài nguyên cho Số học Điểm cố định trong Thiết bị Intel ® Arria ® 10

Bảng liệt kê các tài nguyên DSP có độ chính xác thay đổi theo độ chính xác bit cho mỗi thiết bị Intel ® Arria ® 10.

| **Biến thể** | **Dòng sản phẩm** | **Độ chính xác thay đổi**  **Khối DSP** | **Đầu vào và đầu ra độc lập**  **Toán tử nhân** | | **18 x 19**  **Chế độ tính tổng của nhà quảng cáo nhân** | **18 x 18**  **Hệ số nhân quảng cáo được tổng hợp với 36 bit đầu vào** |
| --- | --- | --- | --- | --- | --- | --- |
| **18 x 19**  **Hệ số nhân** | **27 x 27**  **Hệ số nhân** |
| Intel ® Arria ® 10 SX | SX 660 | 1.687 | 3.374 | 1.687 | 1.687 | 1.687 |

Bảng 17. Tài nguyên cho Số học Dấu phẩy động trong Thiết bị Intel ® Arria ® 10

Bảng liệt kê các tài nguyên DSP có độ chính xác thay đổi theo độ chính xác bit cho mỗi thiết bị Intel ® Arria ® 10.

| **Biến thể** | **Dòng sản phẩm** | **Độ chính xác thay đổi**  **Khối DSP** | **Chế độ nhân điểm động chính xác đơn** | **Chế độ quảng cáo điểm động chính xác đơn** | **Chế độ tích lũy nhân điểm động chính xác đơn** | **Đỉnh**  **Phép toán dấu chấm động Giga trên giây (GFLOP)** |
| --- | --- | --- | --- | --- | --- | --- |
| Intel ® Arria ® 10 SX | SX 660 | 1.687 | 1.687 | 1.687 | 1.687 | 1.518 |

# Khối bộ nhớ nhúng

Các khối bộ nhớ nhúng trong thiết bị rất linh hoạt và được thiết kế để cung cấp số lượng mảng bộ nhớ lớn và nhỏ tối ưu để phù hợp với các yêu cầu thiết kế của bạn.

# Các loại bộ nhớ nhúng

Thiết bị Intel ® Arria ® 10 có hai loại khối bộ nhớ:

20 Kb khối M20K — khối tài nguyên bộ nhớ chuyên dụng. Các khối M20K lý tưởng cho các mảng bộ nhớ lớn hơn trong khi vẫn cung cấp một số lượng lớn các cổng độc lập.

Khối mảng logic bộ nhớ 640 bit (MLAB) —các khối bộ nhớ nâng cao được cấu hình từ khối mảng logic mục đích kép (LAB). Các MLAB lý tưởng cho các mảng bộ nhớ rộng và nông. Các MLAB được tối ưu hóa để thực hiện các thanh ghi dịch chuyển cho các ứng dụng xử lý tín hiệu kỹ thuật số (DSP) , bộ đệm FIFO rộng và nông, và đường trễ bộ lọc. Mỗi MLAB được tạo thành từ mười mô-đun logic thích ứng (ALM). Trong các thiết bị Intel ® Arria ® 10 , bạn có thể định cấu hình các ALM này dưới dạng mười khối 32 x 2 , cung cấp cho bạn một khối SRAM cổng kép 32 x 20 đơn giản trên mỗi MLAB.

# Dung lượng bộ nhớ nhúng trong thiết bị Intel Arria 10

Bảng 18. Dung lượng và phân phối bộ nhớ nhúng trong thiết bị Intel ® Arria ® 10

| **Biến thể** | **Dòng sản phẩm** | **M20K** | | **MLAB** | | **Tổng số bit RAM (Kb)** |
| --- | --- | --- | --- | --- | --- | --- |
| **Khối** | **Bit RAM (Kb)** | **Khối** | **Bit RAM (Kb)** |
| **Intel ® Arria ® 10 SX** | SX 660 | 2.131 | 42.620 | 9.260 | 5.788 | 48.408 |

# Cấu hình bộ nhớ nhúng cho Chế độ một cổng

Bảng 19. Cấu hình bộ nhớ nhúng một cổng cho thiết bị Intel ® Arria ® 10

Bảng này liệt kê các cấu hình tối đa được hỗ trợ cho các chế độ RAM và ROM một cổng.

| **Khối bộ nhớ** | **Độ sâu (bit)** | **Chiều rộng có thể lập trình** |
| --- | --- | --- |
| MLAB | 32 | x16, x18 hoặc x20 |
| 64 [10](https://www.intel.com/content/www/us/en/programmable/documentation/sam1403480274650.html" \l "fntarg_10) | x8, x9, x10 |
| M20K | 512 | x40, x32 |
| 1 nghìn | x20, x16 |
| 2K | x10, x8 |
| 4K | x5, x4 |
| 8 nghìn | x2 |
| 16 nghìn | x1 |

# Mạng đồng hồ và nguồn đồng hồ PLL

Kiến trúc mạng đồng hồ dựa trên cấu trúc đồng hồ toàn cầu, khu vực và ngoại vi của Intel. Cấu trúc đồng hồ này được hỗ trợ bởi các chân đầu vào đồng hồ chuyên dụng, các PLL tổng hợp đồng hồ phân số và các PLL I / O số nguyên.

# Mạng đồng hồ

Các Intel ® Arria ® 10 lõi mạng đồng hồ có khả năng lên đến 800 MHz hoạt động vải trên phạm vi nhiệt độ công nghiệp đầy đủ. Đối với giao diện bộ nhớ ngoài, mạng đồng hồ hỗ trợ bộ điều khiển bộ nhớ cứng với tốc độ lên đến 2.400 Mbps trong một phần tư tốc độ truyền.

Để giảm tiêu thụ điện năng, phần mềm Intel ® Quartus ® Prime xác định tất cả các phần không sử dụng của mạng đồng hồ và cấp nguồn cho chúng.

# Tổng hợp phân đoạn và I/O PLLs

Thiết bị Intel ® Arria ® 10 chứa tới 32 PLL tổng hợp phân đoạn và lên đến 16 PLL /O có sẵn cho cả mục đích sử dụng cụ thể và mục đích chung trong lõi:

PLL tổng hợp phân đoạn — nằm trong cột bên cạnh các khối thu phát

I/O PLLs — nằm trong mỗi ngân hàng của 48 I/O

# PLL tổng hợp phân số

Bạn có thể sử dụng PLL tổng hợp phân số để:

* Giảm số lượng bộ dao động được yêu cầu trên bảng của bạn
* Giảm số lượng chân đồng hồ được sử dụng trong thiết bị bằng cách tổng hợp nhiều tần số đồng hồ từ một nguồn đồng hồ tham chiếu duy nhất

PLL tổng hợp phân số hỗ trợ các tính năng sau:

* Tổng hợp tần số xung nhịp tham chiếu cho CMU thu phát và PLL truyền nâng cao (ATX)
* Bù trễ mạng đồng hồ
* Bộ đệm không độ trễ
* Đồng hồ truyền trực tiếp cho bộ thu phát
* Có thể cấu hình độc lập thành hai chế độ:
  + Chế độ số nguyên thông thường tương đương với PLL mục đích chung
  + Chế độ phân số nâng cao với điều chế delta-sigma bậc ba
* PLL xếp tầng

# I / O PLL

Các PLL I / O chế độ số nguyên được đặt trong mỗi ngân hàng 48 I / O. Bạn có thể sử dụng I / O PLL để đơn giản hóa việc thiết kế bộ nhớ ngoài và giao diện LVDS tốc độ cao.

Trong mỗi ngân hàng I / O, I / O PLLs nằm liền kề với bộ điều khiển bộ nhớ cứng và LVDS SERDES. Bởi vì các PLL này được kết hợp chặt chẽ với I / Os cần sử dụng chúng, nên việc đóng thời gian dễ dàng hơn.

Bạn có thể sử dụng I / O PLLs cho các ứng dụng mục đích chung trong lõi chẳng hạn như bù trễ mạng đồng hồ và đệm độ trễ bằng 0.

Thiết bị Intel ® Arria ® 10 hỗ trợ xếp tầng PLL-to-PLL.

# I / O Mục đích Chung FPGA

Các thiết bị Intel ® Arria ® 10 cung cấp GPIO có cấu hình cao. Mỗi ngân hàng I / O chứa 48 I / O mục đích chung và một bộ điều khiển bộ nhớ cứng hiệu quả cao.

Danh sách sau đây mô tả các tính năng của GPIO:

* Bao gồm 3 V I / Os cho ứng dụng điện áp cao và LVDS I / Os cho tín hiệu vi sai
  + Lên đến hai 3 ngân hàng VI / O, khả dụng trong một số thiết bị, hỗ trợ tối đa 3 tiêu chuẩn VI / O
  + Các ngân hàng LVDS I / O hỗ trợ lên đến 1.8 tiêu chuẩn VI / O
* Hỗ trợ nhiều loại giao diện I / O một đầu và khác biệt
* LVDS tốc độ lên đến 1,6 Gbps
* Mỗi cặp chân LVDS có bộ đệm đầu vào và đầu ra khác biệt, cho phép bạn định cấu hình hướng LVDS cho từng cặp.
* Lập trình giữ xe buýt và kéo lên yếu
* Điện áp đầu ra vi sai có thể lập trình (V OD ) và điểm nhấn trước có thể lập trình
* Series ( R S ) và song song ( R T ) trên chip chấm dứt (OCT) cho tất cả các I / O các ngân hàng với tháng mười hiệu chuẩn để hạn chế sự thay đổi chấm dứt trở kháng
* Kết thúc động trên chip có khả năng hoán đổi giữa kết cuối nối tiếp và kết thúc song song, tùy thuộc vào việc có đọc hoặc ghi trên một bus chung để đảm bảo tính toàn vẹn của tín hiệu
* Hỗ trợ đóng thời gian dễ dàng bằng cách sử dụng FIFO đọc cứng trong đường dẫn thanh ghi đầu vào và chuỗi trễ vòng lặp bị khóa trễ (DLL) với kiến ​​trúc tốt và thô

# Giao diện bộ nhớ ngoài

Thiết bị Intel ® Arria ® 10 cung cấp băng thông bộ nhớ ngoài lớn, với tối đa bảy giao diện bộ nhớ DDR4 32-bit chạy ở tốc độ lên đến 2.400 Mbps. Băng thông này cung cấp thêm sự dễ dàng cho việc thiết kế, tiết kiệm năng lượng và hiệu quả tài nguyên của các bộ điều khiển bộ nhớ hiệu suất cao cứng.

Giao diện bộ nhớ trong Intel ® Arria ® 10 FPGA và SoC mang lại hiệu suất cao nhất và dễ sử dụng. Bạn có thể định cấu hình chiều rộng tối đa là 144bit khi sử dụng bộ điều khiển bộ nhớ cứng hoặc mềm. Nếu được yêu cầu, bạn có thể bỏ qua bộ điều khiển bộ nhớ cứng và sử dụng bộ điều khiển mềm được triển khai theo logic người dùng.

Mỗi I / O chứa một đường dẫn đọc / ghi DDR cứng (PHY) có khả năng thực hiện các chức năng chính của giao diện bộ nhớ như cân bằng đọc / ghi, bộ đệm FIFO để giảm độ trễ và cải thiện lề, hiệu chỉnh thời gian và kết thúc trên chip.

Việc hiệu chuẩn thời gian được hỗ trợ bởi việc bao gồm các bộ vi điều khiển cứng dựa trên công nghệ Nios ® II của Intel, được thiết kế riêng để kiểm soát việc hiệu chuẩn nhiều giao diện bộ nhớ. Hiệu chuẩn này cho phép thiết bị Intel ® Arria ® 10 bù đắp cho bất kỳ thay đổi nào về quy trình, điện áp hoặc nhiệt độ trong chính thiết bị Intel ® Arria ® 10 hoặc trong thiết bị bộ nhớ ngoài. Các thuật toán hiệu chuẩn nâng cao đảm bảo băng thông tối đa và biên thời gian mạnh mẽ trong mọi điều kiện hoạt động.

Ngoài các giao diện bộ nhớ song song, các thiết bị Intel ® Arria ® 10 hỗ trợ các công nghệ bộ nhớ nối tiếp như Khối bộ nhớ lai (HMC). HMC được hỗ trợ bởi bộ thu phát nối tiếp tốc độ cao Intel ® Arria ® 10 kết nối tối đa bốn liên kết HMC, với mỗi liên kết chạy ở tốc độ dữ liệu lên đến 15 Gbps.

Các tiêu chuẩn bộ nhớ được hỗ trợ bởi thiết bị Intel Arria 10

Các I / O được thiết kế để cung cấp hỗ trợ hiệu suất cao cho hiện tại và đang nổi lên tiêu chuẩn bộ nhớ bên ngoài.

Bảng 20. Các tiêu chuẩn bộ nhớ được hỗ trợ bởi bộ điều khiển bộ nhớ cứng

Bảng này liệt kê khả năng tổng thể của bộ điều khiển bộ nhớ cứng. Để biết chi tiết cụ thể, hãy tham khảo Công cụ ước tính thông số giao diện bộ nhớ ngoài và Biểu dữ liệu thiết bị Intel ® Arria ® 10.

| **Tiêu chuẩn bộ nhớ** | **Hỗ trợ xếp hạng** | **Hỗ trợ Ping Pong PHY** | **Tần số tối đa**  **(MHz)** |
| --- | --- | --- | --- |
| DDR4 SDRAM | Tỷ lệ quý | Đúng | 1,067 |
| - | 1.200 |
| DDR3 SDRAM | Tỷ lệ nửa | Đúng | 533 |
| - | 667 |
| Tỷ lệ quý | Đúng | 1,067 |
| - | 1,067 |
| DDR3L SDRAM | Tỷ lệ nửa | Đúng | 533 |
| - | 667 |
| Tỷ lệ quý | Đúng | 933 |
| - | 933 |
| LPDDR3 SDRAM | Tỷ lệ nửa | - | 533 |
| Tỷ lệ quý | - | 800 |

Bảng 22. Các tiêu chuẩn bộ nhớ được hỗ trợ bởi bộ điều khiển bộ nhớ cứng HPS

Hệ thống bộ xử lý cứng (HPS) chỉ khả dụng trong các thiết bị Intel ® Arria ® 10 SoC.

| **Tiêu chuẩn bộ nhớ** | **Hỗ trợ xếp hạng** | **Tần số tối đa**  **(MHz)** |
| --- | --- | --- |
| DDR4 SDRAM | Tỷ lệ nửa | 1.200 |
| DDR3 SDRAM | Tỷ lệ nửa | 1,067 |
| DDR3L SDRAM | Tỷ lệ nửa | 933 |

# IP cứng PCIe Gen1, Gen2 và Gen3

Các thiết bị Intel ® Arria ® 10 có IP cứng PCIe được thiết kế cho hiệu suất và dễ sử dụng :

* Bao gồm tất cả các lớp của ngăn xếp PCIe — giao dịch, liên kết dữ liệu và các lớp vật lý.
* Hỗ trợ Cổng kết nối và Cổng gốc PCIe Gen3, Gen2 và Gen1 ở cấu hình làn x1, x2, x4 hoặc x8.
* Hoạt động độc lập với logic lõi — cấu hình tùy chọn thông qua giao thức (CvP) cho phép liên kết PCIe tăng cường năng lượng và hoàn thành đào tạo liên kết trong vòng chưa đầy 100 mili giây trong khi thiết bị Intel ® Arria ® 10 hoàn tất việc tải tệp lập trình cho phần còn lại của FPGA.
* Cung cấp chức năng bổ sung giúp hỗ trợ dễ dàng hơn các tính năng mới nổi như Ảo hóa I / O gốc đơn (SR-IOV) và các phần mở rộng giao thức tùy chọn.
* Cung cấp khả năng bảo vệ đường dữ liệu đầu cuối được cải thiện bằng cách sử dụng ECC.
* Hỗ trợ cấu hình FPGA qua giao thức (CvP) sử dụng PCIe ở tốc độ Gen3, Gen2 hoặc Gen1.

# IP cứng PCS nâng cao cho Interlaken và Ethernet 10 Gbps

# Hỗ trợ Interlaken

Các Intel ® Arria ® 10 PCS tăng cường IP cứng cung cấp tích hợp Interlaken PCS hỗ trợ tốc độ lên tới 25,8 Gbps trên mỗi làn đường.

Interlaken PCS dựa trên chức năng đã được kiểm chứng của PCS được phát triển cho FPGA thế hệ trước của Intel, chứng tỏ khả năng tương tác với các nhà cung cấp Interlaken ASSP và các nhà cung cấp IP bên thứ ba. Interlaken PCS có mặt trong mọi kênh thu phát của thiết bị Intel ® Arria ® 10.

# Hỗ trợ Ethernet 10 Gbps

Các Intel ® Arria ® 10 PCS tăng cường IP cứng hỗ trợ 10GBASE-R PCS phù hợp với IEEE 802.3 10 Gbps Ethernet (10GbE). Hỗ trợ IP cứng tích hợp cho 10GbE và bộ thu phát 10 Gbps giúp tiết kiệm chi phí PHY bên ngoài, không gian bo mạch và sức mạnh hệ thống.

IP cứng có thể mở rộng hỗ trợ nhiều cổng 10GbE độc lập trong khi sử dụng một PLL duy nhất cho tất cả các khởi tạo PCS 10GBASE-R , giúp tiết kiệm tài nguyên logic lõi và mạng đồng hồ:

* Đơn giản hóa các hệ thống 10GbE đa cổng so với các giao diện XAUI yêu cầu XAUI-to-10G PHY bên ngoài .
* Kết hợp Bù tán sắc điện tử (EDC), cho phép kết nối trực tiếp với các mô-đun quang có thể cắm được 10 Gbps XFP và SFP + tiêu chuẩn .
* Hỗ trợ các ứng dụng Ethernet bảng nối đa năng và bao gồm mạch sửa lỗi chuyển tiếp (FEC) 10GBASE-KR cứng mà bạn có thể sử dụng cho các ứng dụng 10 Gbps và 40 Gbps .

Các 10 Gbps Ethernet PCS cứng IP và 10GBASE-KR FEC có mặt trong tất cả các kênh thu phát.

# Bộ thu phát nối tiếp công suất thấp

Intel ® Arria ® 10 FPGA và SoC bao gồm các bộ thu phát công suất thấp nhất mang lại băng thông, thông lượng cao và độ trễ thấp.

Thiết bị Intel ® Arria ® 10 cung cấp mức tiêu thụ điện năng thấp nhất trong ngành trên mỗi kênh thu phát:

* Bộ thu phát 12,5 Gbps ở mức thấp nhất là 242 mW
* Bộ thu phát 10 Gbps ở mức thấp nhất là 168 mW
* Bộ thu phát 6 Gbps ở mức thấp nhất là 117 mW

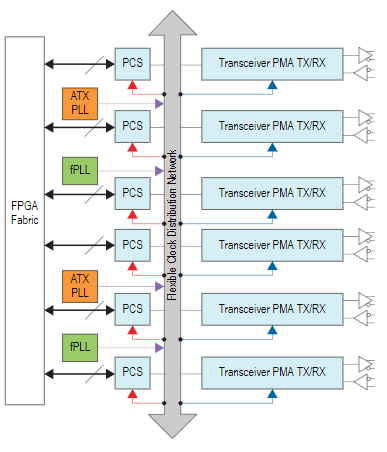
Bộ thu phát Intel ® Arria ® 10 hỗ trợ các tốc độ dữ liệu khác nhau tùy theo ứng dụng:

* Ứng dụng chip-to-chip và chip-to-mô-đun — từ 1 Gbps lên đến 25,8 Gbps
* Phạm vi tiếp cận dài và các ứng dụng bảng nối đa năng — từ 1 Gbps lên đến 12,5 với tính năng cân bằng thích ứng nâng cao
* Các ứng dụng nhạy cảm với nguồn điện quan trọng — từ 1 Gbps đến 11,3 Gbps bằng cách sử dụng chế độ năng lượng thấp hơn

Sự kết hợp của công nghệ quy trình 20 nm và những tiến bộ về kiến ​​trúc mang lại những lợi ích sau:

* Giảm đáng kể diện tích khuôn và tiêu thụ điện năng
* Tăng mật độ I / O bộ thu phát lên đến hai lần so với các thiết bị thế hệ trước trong khi vẫn duy trì tính toàn vẹn của tín hiệu tối ưu
* Lên đến tổng cộng 72 kênh thu phát — bạn có thể định cấu hình tối đa 6 trong số các kênh này để chạy với tốc độ 25,8 Gbps
* Tất cả các kênh đều có hỗ trợ tốc độ dữ liệu liên tục lên đến tốc độ định mức tối đa

Hình 6. Kiến trúc khối thu phát Intel ® Arria ® 10



# Kênh thu phát

Tất cả các kênh thu phát đều có Phần đính kèm phương tiện vật lý chuyên dụng (PMA) và Lớp con mã hóa vật lý cứng (PCS).

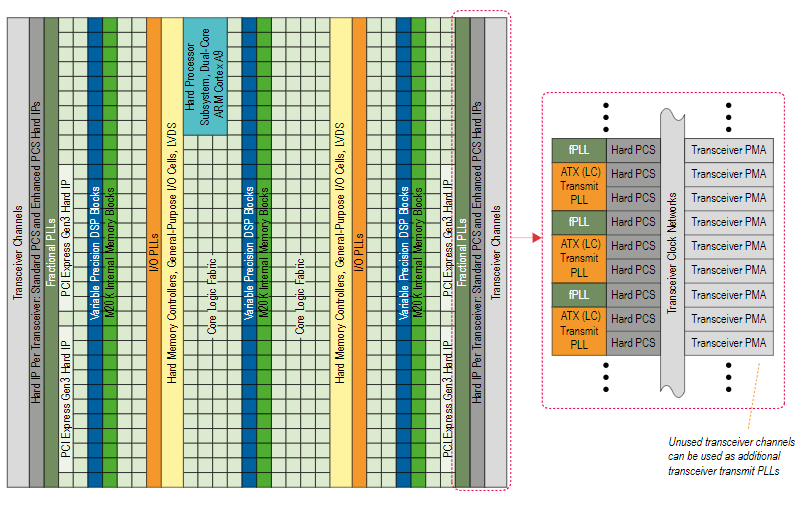
* PMA cung cấp khả năng giao tiếp chính cho các kênh vật lý.
* PCS thường xử lý mã hóa / giải mã, căn chỉnh từ và các chức năng tiền xử lý khác trước khi chuyển dữ liệu đến cấu trúc lõi FPGA.

Một kênh thu phát bao gồm một khối PMA và một khối PCS. Hầu hết các ngân hàng thu phát đều có 6 kênh. Có một số ngân hàng thu phát chỉ chứa 3 kênh.

Có thể có nhiều loại cấu hình tốc độ dữ liệu ngoại quan và không ngoại quan bằng cách sử dụng mạng phân phối đồng hồ có cấu hình cao. Có thể cấu hình lên đến 80 tốc độ dữ liệu thu phát độc lập.

Các hình sau là biểu diễn đồ họa của các hình chiếu trên của khuôn silicon, tương ứng với các hình chiếu ngược đối với các gói chip lật. Các thiết bị Intel ® Arria ® 10 khác nhau có thể có sơ đồ tầng khác với sơ đồ được hiển thị trong hình.

Hình 8. Tổng quan về chip thiết bị cho thiết bị Intel ® Arria ® 10 SX



# Tính năng PMA

Bộ thu phát Intel ® Arria ® 10 cung cấp tính toàn vẹn của tín hiệu đặc biệt với tốc độ dữ liệu lên đến 25,8 Gbps. Các tùy chọn xung nhịp bao gồm ATX PLL có độ rung cực thấp (dựa trên bể LC), đơn vị nhân xung nhịp (CMU) PLL và PLL phân đoạn.

Mỗi kênh thu phát chứa một PLL kênh có thể được sử dụng làm CMU PLL hoặc phục hồi dữ liệu đồng hồ (CDR) PLL. Ở chế độ CDR, kênh PLL khôi phục đồng hồ thu và dữ liệu trong kênh thu phát. Có thể định cấu hình lên đến 80 tốc độ dữ liệu độc lập trên một thiết bị Intel ® Arria ® 10.

Bảng 23. Tính năng PMA của Bộ thu phát trong Thiết bị Intel ® Arria ® 10

| **Đặc tính** | **Năng lực** |
| --- | --- |
| Tỷ lệ dữ liệu từ chip đến chip | 1 Gbps đến 17,4 Gbps ( thiết bị Intel ® Arria ® 10 GX)  1 Gbps đến 25,8 Gbps ( thiết bị Intel ® Arria ® 10 GT) |
| Hỗ trợ bảng nối đa năng | Thúc đẩy thiết bị quay lưng với tốc độ dữ liệu lên đến 12,5 Gbps |
| Hỗ trợ mô-đun quang học | SFP + / SFP, XFP, CXP, QSFP / QSFP28, CFP / CFP2 / CFP4 |
| Hỗ trợ lái cáp | SFP + Đính kèm trực tiếp, PCI Express qua cáp, eSATA |
| Truyền nhấn mạnh trước | Truyền 4 chạm nhấn mạnh trước và giảm nhấn mạnh để bù cho việc mất kênh hệ thống |
| Bộ cân bằng tuyến tính thời gian liên tục (CTLE) | Chế độ kép, độ lợi cao và tốc độ dữ liệu cao, cân bằng nhận tuyến tính để bù cho việc mất kênh hệ thống |
| Bộ cân bằng phản hồi quyết định (DFE) | DFE 7 chạm cố định và 4 chạm nổi để cân bằng suy hao kênh bảng nối đa năng trong điều kiện môi trường nhiễu xuyên âm và nhiễu |
| Bộ khuếch đại độ lợi có thể thay đổi | Tối ưu hóa biên độ tín hiệu trước khi lấy mẫu CDR và ​​hoạt động ở các chế độ cố định và thích ứng |
| Điều chỉnh tham số thích ứng kỹ thuật số Altera (ADAPT) | Công cụ thích ứng kỹ thuật số hoàn toàn để tự động điều chỉnh tất cả các thông số cân bằng liên kết — bao gồm CTLE, DFE và các khối khuếch đại khuếch đại độ lợi thay đổi — mang lại lợi nhuận liên kết tối ưu mà không cần can thiệp từ logic người dùng |
| Công cụ hiệu chuẩn toàn vẹn tín hiệu chính xác (PreSICE) | Bộ điều khiển hiệu chuẩn đã được gia cố để nhanh chóng hiệu chỉnh tất cả các thông số điều khiển bộ thu phát khi bật nguồn, mang lại tính toàn vẹn của tín hiệu và hiệu suất rung |
| Truyền nâng cao (ATX) PLL | Các PLL ATX (dựa trên bể LC) rung giật thấp với phạm vi điều chỉnh liên tục để bao gồm một loạt các giao thức tiêu chuẩn và độc quyền |
| PLL phân số | Bộ tổng hợp tần số phân đoạn trên chip để thay thế bộ dao động tinh thể trên bo mạch và giảm chi phí hệ thống |
| CDR tương tự được hỗ trợ kỹ thuật số | Khả năng chịu jitter vượt trội với thời gian khóa nhanh |
| Cấu hình lại một phần động | Cho phép kiểm soát độc lập giao diện ánh xạ bộ nhớ Avalon của từng kênh thu phát để có độ linh hoạt thu phát cao nhất |
| Nhiều độ rộng giao diện PCS-PMA và PCS-PLD | Độ rộng giao diện 8-, 10-, 16-, 20-, 32-, 40- hoặc 64 bit để linh hoạt về độ rộng deserialization, mã hóa và giảm độ trễ |

# Tính năng PCS

Bảng này tóm tắt các tính năng PCS bộ thu phát Intel ® Arria ® 10 . Bạn có thể sử dụng PCS thu phát để hỗ trợ nhiều loại giao thức khác nhau, từ 1 Gbps đến 25,8 Gbps .

| **CÁI** | **Sự miêu tả** |
| --- | --- |
| PCS tiêu chuẩn | * Hoạt động với tốc độ dữ liệu lên đến 12 Gbps * Hỗ trợ các giao thức như PCI-Express, CPRI 4.2+, GigE, IEEE 1588 trong PCS cứng * Triển khai các giao thức khác bằng quy tắc cấu hình bộ thu phát Cơ bản / Tùy chỉnh (PCS tiêu chuẩn). |
| PCS nâng cao | * Thực hiện các chức năng phổ biến đối với hầu hết các tiêu chuẩn ngành dữ liệu nối tiếp, chẳng hạn như căn chỉnh từ, mã hóa / giải mã và đóng khung, trước khi dữ liệu được gửi hoặc nhận ngoài chip thông qua PMA * Xử lý việc truyền dữ liệu đến và đi từ vải FPGA * Xử lý việc truyền dữ liệu nội bộ đến và đi từ PMA * Cung cấp bù tần số * Thực hiện liên kết kênh cho các ứng dụng đa kênh độ lệch thấp |
| PCIe Gen3 PCS | * Hỗ trợ chuyển đổi liền mạch Dữ liệu và Đồng hồ giữa tốc độ dữ liệu Gen1, Gen2 và Gen3 * Cung cấp hỗ trợ cho các tính năng của PIPE 3.0 * Hỗ trợ giao diện PIPE với IP cứng được bật, cũng như bỏ qua IP cứng |

# Hỗ trợ giao thức PCS

Bảng này liệt kê một số giao thức được hỗ trợ bởi PCS bộ thu phát Intel ® Arria ® 10 . Để biết thêm thông tin về các khối trong đường dẫn dữ liệu máy phát và máy thu, hãy tham khảo thông tin liên quan.

| **Giao thức** | **Tốc độ dữ liệu (Gbps)** | **IP bộ thu phát** | **Hỗ trợ PCS** |
| --- | --- | --- | --- |
| PCIe Gen3 x1, x2, x4, x8 | 8.0 | PHY bản địa (PIPE) | PCS tiêu chuẩn và PCS PCIe Gen3 |
| PCIe Gen2 x1, x2, x4, x8 | 5.0 | PHY bản địa (PIPE) | PCS tiêu chuẩn |
| PCIe Gen1 x1, x2, x4, x8 | 2,5 | PHY bản địa (PIPE) | PCS tiêu chuẩn |
| 1000BASE-X Gigabit Ethernet | 1,25 | PHY bản địa | PCS tiêu chuẩn |
| 1000BASE-X Gigabit Ethernet với IEEE 1588v2 | 1,25 | PHY bản địa | PCS tiêu chuẩn |
| 10GBASE-R | 10,3125 | PHY bản địa | PCS nâng cao |
| 10GBASE-R với IEEE 1588v2 | 10,3125 | PHY bản địa | PCS nâng cao |
| 10GBASE-R với KR FEC | 10,3125 | PHY bản địa | PCS nâng cao |
| 10GBASE-KR và 1000BASE-X | 10,3125 | 1G / 10GbE và 10GBASE-KR PHY | PCS tiêu chuẩn và PCS nâng cao |
| Interlaken (CEI-6G / 11G) | 3,125 đến 17,4 | PHY bản địa | PCS nâng cao |
| SFI-S / SFI-5.2 | 11,2 | PHY bản địa | PCS nâng cao |
| 10G SDI | 10,692 | PHY bản địa | PCS nâng cao |
| CPRI 6.0 (64B / 66B) | 0.6144 đến 10.1376 | PHY bản địa | PCS nâng cao |
| CPRI 4.2 (8B / 10B) | 0,6144 đến 9,8304 | PHY bản địa | PCS tiêu chuẩn |
| OBSAI RP3 v4.2 | 0,6144 đến 6,144 | PHY bản địa | PCS tiêu chuẩn |
| SD-SDI / HD-SDI / 3G-SDI | 0,143 [12](https://www.intel.com/content/www/us/en/programmable/documentation/sam1403480274650.html" \l "fntarg_12) đến 2,97 | PHY bản địa | PCS tiêu chuẩn |

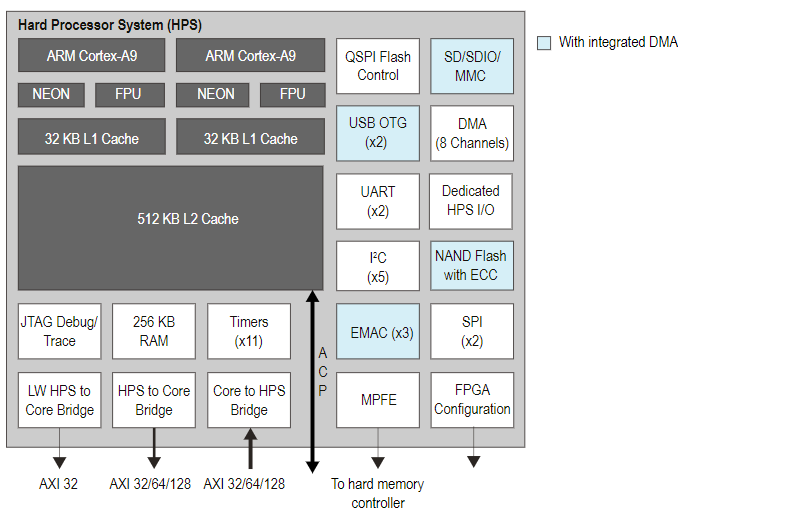
# SoC với hệ thống xử lý cứng

Mỗi thiết bị SoC kết hợp vải FPGA và hệ thống xử lý cứng (HPS) trong một thiết bị duy nhất. Sự kết hợp này mang lại sự linh hoạt của logic có thể lập trình với khả năng tiết kiệm điện và chi phí của IP cứng theo những cách sau:

* Giảm không gian bo mạch, công suất hệ thống và chi phí vật liệu bằng cách loại bỏ bộ xử lý nhúng rời
* Cho phép bạn phân biệt sản phẩm cuối cùng ở cả phần cứng và phần mềm, đồng thời hỗ trợ hầu như mọi tiêu chuẩn giao diện
* Kéo dài tuổi thọ và doanh thu của sản phẩm thông qua các bản cập nhật phần cứng và phần mềm tại hiện trường

Hình 9. Sơ đồ khối HPS

Hình này cho thấy sơ đồ khối của HPS với bộ vi xử lý ARM Cortex-A9 MPCore kép.



# Ưu điểm chính của HPS 20 nm

HPS 20 nm tạo ra sự cân bằng giữa việc cho phép khả năng tương thích phần mềm tối đa với các SoC 28 nm trong khi vẫn cải thiện dựa trên kiến ​​trúc HPS 28 nm. Những cải tiến này giải quyết các yêu cầu của thị trường mục tiêu thế hệ tiếp theo như truyền thông không dây và có dây, thiết bị máy tính và lưu trữ, phát sóng và quân sự về hiệu suất, băng thông bộ nhớ, kết nối qua bảng nối đa năng và bảo mật.

Bảng 24. Những cải tiến trong HPS 20 nm

Bảng này liệt kê những cải tiến chính của HPS 20 nm so với HPS 28 nm.

| **Ưu điểm / Cải tiến** | **Sự miêu tả** |
| --- | --- |
| Tăng hiệu suất và khả năng tăng tốc | Trong khi tần số bộ xử lý danh nghĩa là 1,2 GHz, HPS 20 nm cung cấp tính năng “tăng tốc” cho phép tần số hoạt động của bộ xử lý cao hơn. Điều này yêu cầu giá trị điện áp cung cấp cao hơn là giá trị duy nhất cho HPS và có thể yêu cầu bộ điều chỉnh riêng. |
| Tăng băng thông bộ nhớ bộ xử lý và hỗ trợ DDR4 | Hỗ trợ bộ nhớ DDR4 64-bit với tốc độ 2.400 Mbps cho bộ xử lý. Bộ điều khiển bộ nhớ cứng cho HPS bao gồm giao diện người dùng nhiều cổng quản lý các kết nối với bộ điều khiển bộ nhớ một cổng. Giao diện người dùng đa cổng cho phép lõi logic và HPS chia sẻ các cổng và do đó băng thông khả dụng của bộ điều khiển bộ nhớ. |
| Chia sẻ I / O linh hoạt | Một sơ đồ trộn chân I / O nâng cao cho phép cải thiện việc chia sẻ I / O giữa HPS và logic lõi. Các loại I / O sau có sẵn cho SoC:   * 17 I / Os chuyên dụng — nằm bên trong khối HPS và không thể truy cập vào logic bên trong lõi. 17 I / Os chuyên dụng được sử dụng cho đồng hồ HPS, đặt lại và giao tiếp với thiết bị khởi động, QSPI và SD / MMC. * 48 I / O chia sẻ trực tiếp — nằm gần khối HPS nhất và lý tưởng cho các thiết bị ngoại vi HPS tốc độ cao như EMAC, USB và các thiết bị khác. Có một ngân hàng 48 I / O hỗ trợ chia sẻ trực tiếp trong đó 48 I / O có thể được chia sẻ 12 I / O cùng một lúc. * I / O tiêu chuẩn (dùng chung) — tất cả I / O tiêu chuẩn có thể được chia sẻ bởi các thiết bị ngoại vi HPS và bất kỳ logic nào trong lõi. Đối với các thiết kế yêu cầu nhiều hơn 48 I / O để sử dụng đầy đủ tất cả các thiết bị ngoại vi trong HPS, các I / Os này có thể được kết nối thông qua logic lõi. |
| Lõi EMAC | Ba lõi EMAC có sẵn trong HPS. Các lõi EMAC cho phép ứng dụng hỗ trợ hai kết nối Ethernet dự phòng; ví dụ: bảng nối đa năng hoặc hai lõi EMAC để quản lý thông tin tem thời gian IEEE 1588 trong khi cho phép lõi EMAC thứ ba để gỡ lỗi và cấu hình. Cả ba EMAC đều có thể dùng chung các tem thời gian, giúp đơn giản hóa việc triển khai tem thời gian 1588. Giao diện tem thời gian nối tiếp mới cho phép logic lõi truy cập và đọc các giá trị tem thời gian. Bộ điều khiển EMAC tích hợp có thể được kết nối với Ethernet PHY bên ngoài thông qua giao diện MDIO hoặc I 2 C được cung cấp . |
| Bộ nhớ trên chip | Bộ nhớ trên chip được cập nhật để hỗ trợ 256 KB và có thể hỗ trợ các tập dữ liệu lớn hơn và các thuật toán thời gian thực. |
| Cải tiến ECC | Những cải tiến trong quản lý ECC của bộ nhớ đệm L2 cho phép xác định lỗi ở cấp địa chỉ. Các cải tiến của ECC cũng cho phép cải thiện khả năng báo lỗi và báo cáo trạng thái thông qua việc giới thiệu quyền truy cập được ánh xạ bộ nhớ mới đối với các tín hiệu dữ liệu và hội chứng. |
| HPS đến FPGA Interconnect Backbone | Mặc dù HPS và Logic Core có thể hoạt động độc lập, chúng được kết hợp chặt chẽ với nhau thông qua kết nối hệ thống băng thông cao được xây dựng từ các cầu bus ARM AMBA AXI hiệu suất cao. Các chính bus IP trong cấu trúc FPGA có quyền truy cập vào các nô lệ bus HPS thông qua kết nối FPGA-to-HPS. Tương tự, các bus chính HPS có quyền truy cập vào các bus nô lệ trong cấu trúc lõi thông qua cầu nối HPS-to-FPGA. Cả hai cầu đều tuân thủ AMBA AXI-3 và hỗ trợ các giao dịch đọc và ghi đồng thời. Tối đa ba bản gốc trong kết cấu lõi có thể chia sẻ bộ điều khiển HPS SDRAM với bộ xử lý. Ngoài ra, bộ xử lý có thể được sử dụng để định cấu hình kết cấu lõi dưới sự điều khiển của chương trình thông qua cổng cấu hình 32-bit chuyên dụng. |
| Cấu hình FPGA và khởi động HPS | Vải FPGA và HPS trong các SoC được cấp nguồn độc lập. Bạn có thể giảm tần số xung nhịp hoặc đóng cửa đồng hồ để giảm năng lượng động.  Bạn có thể định cấu hình vải FPGA và khởi động HPS một cách độc lập, theo bất kỳ thứ tự nào, mang lại cho bạn sự linh hoạt hơn trong thiết kế. |
| Bảo vệ | Các tính năng bảo mật mới đã được giới thiệu để quản lý chống giả mạo, khởi động an toàn, mã hóa (AES) và xác thực (SHA). |

# Các tính năng của HPS

HPS có các tính năng sau:

* Bộ xử lý lõi kép ARM Cortex-A9 MPCore 1,2 GHz, lên đến 1,5 GHz thông qua ổ cứng
  + Kiến trúc ARMv7-A chạy các lệnh ARM 32 bit, lệnh Thumb 16 bit và 32 bit và mã byte Java 8 bit theo kiểu Jazelle
  + Đường ống siêu cấp, độ dài thay đổi, không theo thứ tự với dự đoán nhánh động
  + Hiệu quả hướng dẫn 2,5 MIPS / MHz, cung cấp tổng hiệu suất 7500 MIPS ở 1,5 GHz
* Mỗi lõi bộ xử lý bao gồm:
  + 32 KB bộ đệm ẩn lệnh L1, 32 KB bộ đệm dữ liệu L1
  + Đơn vị dấu chấm động chính xác đơn và kép và công cụ phương tiện NEON
  + Công nghệ theo dõi và gỡ lỗi CoreSight
  + Bộ điều khiển Snoop (SCU) và Cổng đồng tiền tăng tốc (ACP)
* 512 KB bộ nhớ đệm L2 được chia sẻ
* 256 KB RAM xước
* Bộ điều khiển bộ nhớ cứng hỗ trợ DDR3, DDR4 và hỗ trợ mã sửa lỗi tùy chọn (ECC)
* Giao diện Bộ lập lịch Multiport Front End (MPFE) với bộ điều khiển bộ nhớ cứng
* Bộ điều khiển truy cập bộ nhớ trực tiếp (DMA) 8 kênh
* Bộ điều khiển flash QSPI với hỗ trợ SIO, DIO, QIO SPI Flash
* Bộ điều khiển flash NAND (ONFI 1.0 trở lên) với hỗ trợ DMA và ECC, được cập nhật để hỗ trợ các thiết bị Flash 8 và 16-bit và lệnh mới DMA để giảm tải CPU để khôi phục nhanh sự cố sập nguồn
* Đã cập nhật bộ điều khiển SD / SDIO / MMC lên eMMC 4.5 với DMA với hỗ trợ lệnh kỹ thuật số CE-ATA
* 3 10/100/1000 điều khiển truy cập phương tiện Ethernet (MAC) với DMA
* 2 bộ điều khiển USB On-the-Go (OTG) với DMA
* 5 bộ điều khiển I 2 C (3 bộ điều khiển có thể được sử dụng bởi EMAC cho MIO đến PHY bên ngoài)
* 2 bộ điều khiển tương thích UART 16550
* 4 giao diện ngoại vi nối tiếp (SPI) (2 Master, 2 Slaves)
* 62 I / Os đa năng có thể lập trình, bao gồm 48 I / Os chia sẻ trực tiếp cho phép các thiết bị ngoại vi HPS kết nối trực tiếp với I / Os FPGA
* 7 bộ hẹn giờ đa năng
* 4 bộ định giờ cơ quan giám sát
* Chống giả mạo, Khởi động an toàn, Mã hóa (AES) và Xác thực (SHA)

# Hệ thống thiết bị ngoại vi và cổng truy cập gỡ lỗi

Mỗi Ethernet MAC, USB OTG, bộ điều khiển flash NAND và mô-đun bộ điều khiển SD / MMC có một bộ điều khiển DMA tích hợp. Đối với các mô-đun không có bộ điều khiển DMA tích hợp, mô-đun bộ điều khiển DMA bổ sung cung cấp tới tám kênh truyền dữ liệu băng thông cao. Các thiết bị ngoại vi giao tiếp ngoài chip được ghép với các thiết bị ngoại vi khác ở mức chân HPS. Điều này cho phép bạn chọn giao diện thiết bị ngoại vi nào với các thiết bị khác trên PCB của bạn.

Cổng truy cập gỡ lỗi cung cấp giao diện cho đầu dò gỡ lỗi JTAG tiêu chuẩn công nghiệp và hỗ trợ gỡ lỗi ARM CoreSight và dấu vết lõi để tạo điều kiện phát triển phần mềm.

# Cầu HPS – FPGA AXI

Các cầu nối HPS-FPGA, hỗ trợ các thông số kỹ thuật của Kiến trúc Bus vi điều khiển tiên tiến (AMBA ® ) Giao diện eXtensible (AXI ™), bao gồm các cầu sau:

* Cầu FPGA-to-HPS AMBA AXI — một bus hiệu suất cao hỗ trợ độ rộng dữ liệu 32, 64 và 128 bit cho phép cấu trúc FPGA cấp giao dịch cho các nô lệ trong HPS.
* Cầu HPS-to-FPGA Avalon / AMBA AXI — một bus hiệu suất cao hỗ trợ độ rộng dữ liệu 32, 64 và 128 bit cho phép HPS cấp các giao dịch cho các nô lệ trong kết cấu FPGA.
* Cầu nối AXI HPS-to-FPGA nhẹ — bus độ rộng 32 bit có độ trễ thấp hơn cho phép HPS cấp các giao dịch tới các thiết bị ngoại vi mềm trong cấu trúc FPGA. Cầu nối này chủ yếu được sử dụng để điều khiển và truy cập thanh ghi trạng thái (CSR) đến các thiết bị ngoại vi trong cấu trúc FPGA.

Các cầu nối HPS-FPGA AXI cho phép các bản gốc trong kết cấu FPGA giao tiếp với các nô lệ trong logic HPS và ngược lại. Ví dụ: cầu HPS-to-FPGA AXI cho phép bạn chia sẻ những kỷ niệm được tạo trong cấu trúc FPGA với một hoặc cả hai bộ vi xử lý trong HPS, trong khi cầu FPGA-to-HPS AXI cho phép logic trong cấu trúc FPGA truy cập vào bộ nhớ và thiết bị ngoại vi trong HPS.

Mỗi cầu HPS-FPGA cũng cung cấp giao qua đồng hồ không đồng bộ cho dữ liệu được truyền giữa kết cấu FPGA và HPS.

# Hệ thống con bộ điều khiển HPS SDRAM

Hệ thống con bộ điều khiển HPS SDRAM chứa bộ điều khiển SDRAM đa cổng và DDR PHY được chia sẻ giữa kết cấu FPGA (thông qua giao diện FPGA-to-HPS SDRAM), bộ nhớ đệm cấp 2 (L2) và kết nối hệ thống cấp 3 (L3). Giao diện FPGA-to-HPS SDRAM hỗ trợ các tiêu chuẩn giao diện AMBA AXI và Avalon ®Memory-Mapped (Avalon-MM), đồng thời cung cấp tới sáu cổng riêng lẻ để truy cập bởi các bản gốc được triển khai trong kết cấu FPGA.

Bộ điều khiển HPS SDRAM hỗ trợ tối đa 3 cổng chính (cổng lệnh), 3 cổng dữ liệu đọc 64 bit và 3 cổng dữ liệu ghi 64 bit.

Để tối đa hóa hiệu suất bộ nhớ, hệ thống con bộ điều khiển SDRAM hỗ trợ sắp xếp lại lệnh và dữ liệu, phân xử vòng lặp thâm hụt với quá trình lão hóa và các tính năng bỏ qua ưu tiên cao.

# Cấu hình FPGA và Khởi động HPS

Vải FPGA và HPS trong SoC FPGA phải được cấp nguồn cùng lúc. Bạn có thể giảm tần số xung nhịp hoặc đóng cửa đồng hồ để giảm năng lượng động.

Sau khi được cấp nguồn, vải FPGA và HPS có thể được định cấu hình độc lập, do đó cung cấp cho bạn sự linh hoạt hơn trong thiết kế:

* Bạn có thể khởi động HPS một cách độc lập. Sau khi HPS đang chạy, HPS có thể cấu hình lại toàn bộ hoặc một phần cấu hình FPGA bất kỳ lúc nào dưới sự kiểm soát của phần mềm. HPS cũng có thể cấu hình các FPGA khác trên bo mạch thông qua bộ điều khiển cấu hình FPGA.
* Định cấu hình vải FPGA trước, sau đó khởi động HPS từ bộ nhớ có thể truy cập vào vải FPGA.

# Phát triển phần cứng và phần mềm

Để phát triển phần cứng, bạn có thể định cấu hình HPS và kết nối logic mềm của bạn trong cấu trúc FPGA với giao diện HPS bằng cách sử dụng công cụ tích hợp hệ thống Platform Designer trong phần mềm Intel ® Quartus ® Prime.

Đối với phát triển phần mềm, các thiết bị SoC FPGA dựa trên ARM kế thừa hệ sinh thái phát triển phần mềm phong phú có sẵn cho bộ xử lý ARM Cortex-A9 MPCore. Quá trình phát triển phần mềm cho Intel SoC FPGA tuân theo các bước tương tự như cho các thiết bị SoC khác của các nhà sản xuất khác. Hỗ trợ cho Linux \*, VxWorks \* và các hệ điều hành khác có sẵn cho SoC FPGA. Để biết thêm thông tin về tính khả dụng của hệ điều hành hỗ trợ, hãy liên hệ với nhóm bán hàng Intel FPGA.

Bạn có thể bắt đầu phát triển phần mềm và chương trình cơ sở dành riêng cho thiết bị trên Mục tiêu Ảo Intel SoC FPGA. Mục tiêu ảo là một mô phỏng chức năng dựa trên PC nhanh chóng của hệ thống phát triển mục tiêu — một mô hình của một hội đồng phát triển hoàn chỉnh. Mục tiêu ảo cho phép phát triển phần mềm sản xuất dành riêng cho thiết bị có thể chạy không sửa đổi trên phần cứng thực tế.

# Cấu hình lại động và một phần

Thiết bị Intel ® Arria ® 10 hỗ trợ cấu hình lại động và một phần. Bạn có thể sử dụng đồng thời cấu hình lại động và từng phần để cho phép cấu hình lại liền mạch của cả lõi thiết bị và bộ thu phát.

# Cấu hình lại động

Bạn có thể cấu hình lại khối PMA và PCS trong khi thiết bị tiếp tục hoạt động. Tính năng này cho phép bạn thay đổi tốc độ dữ liệu, giao thức và cài đặt tương tự của một kênh trong ngân hàng thu phát mà không ảnh hưởng đến quá trình truyền dữ liệu đang diễn ra trong các ngân hàng thu phát khác. Tính năng này lý tưởng cho các ứng dụng yêu cầu hỗ trợ đa giao thức động hoặc đa tốc độ.

# Cấu hình lại một phần

Sử dụng cấu hình lại từng phần, bạn có thể cấu hình lại một số bộ phận của thiết bị trong khi vẫn giữ thiết bị hoạt động.

Thay vì đặt tất cả các chức năng của thiết bị trong cấu trúc FPGA, bạn có thể lưu trữ một số chức năng không chạy đồng thời trong bộ nhớ ngoài và chỉ tải chúng khi được yêu cầu. Khả năng này làm tăng mật độ logic hiệu quả của thiết bị, đồng thời giảm chi phí và điện năng tiêu thụ.

Trong giải pháp Intel ® , bạn không phải lo lắng về kiến ​​trúc thiết bị phức tạp để thực hiện cấu hình lại một phần. Khả năng cấu hình lại từng phần được tích hợp trong phần mềm thiết kế Intel ® Quartus ® Prime , giúp cho công việc tốn nhiều thời gian như vậy trở nên đơn giản.

Thiết bị Intel ® Arria ® 10 hỗ trợ cấu hình lại một phần trong các tùy chọn cấu hình sau:

* Sử dụng máy chủ nội bộ:
  + Tất cả các chế độ cấu hình được hỗ trợ trong đó FPGA có quyền truy cập vào các thiết bị bộ nhớ ngoài như bộ nhớ flash nối tiếp và song song.
  + Cấu hình qua Giao thức [CvP (PCIe)].
* Sử dụng máy chủ bên ngoài — các giao diện I / O nối tiếp thụ động (PS), song song thụ động (FPP) x8 , FPP x16 và FPP x32 .

# Cấu hình và cấu hình nâng cao thông qua giao thức

Bảng 25.   Sơ đồ cấu hình và tính năng của thiết bị Intel ® Arria ® 10

Thiết bị Intel ® Arria ® 10 hỗ trợ điện áp lập trình 1,8 V và một số sơ đồ cấu hình.

| **Kế hoạch** | **Chiều rộng dữ liệu** | **Tốc độ đồng hồ tối đa**  **(MHz)** | **Tốc độ dữ liệu tối đa**  **(Mbps)**  **[13](https://www.intel.com/content/www/us/en/programmable/documentation/sam1403480274650.html" \l "fntarg_13)** | **Giảm bớt sức ép** | **Bảo mật thiết kế**[**14**](https://www.intel.com/content/altera-www/global/en_us/index/documentation/sam1403480274650.html#sam1403480261863__fn_simulta) | **Cấu hình lại một phần****[15](https://www.intel.com/content/www/us/en/programmable/documentation/sam1403480274650.html" \l "fntarg_15)** | **Cập nhật hệ thống từ xa** |
| --- | --- | --- | --- | --- | --- | --- | --- |
| JTAG | 1 chút | 33 | 33 | - | - | Có [16](https://www.intel.com/content/altera-www/global/en_us/index/documentation/sam1403480274650.html#sam1403480261863__fn_partialcanbeperformed) | - |
| Active Serial (AS) thông qua thiết bị cấu hình EPCQ-L | 1 chút,  4 bit | 100 | 400 | Đúng | Đúng | Có [16](https://www.intel.com/content/altera-www/global/en_us/index/documentation/sam1403480274650.html#sam1403480261863__fn_partialcanbeperformed) | Đúng |
| Nối tiếp thụ động (PS) thông qua CPLD hoặc vi điều khiển bên ngoài | 1 chút | 100 | 100 | Đúng | Đúng | Có [16](https://www.intel.com/content/altera-www/global/en_us/index/documentation/sam1403480274650.html#sam1403480261863__fn_partialcanbeperformed) | Bộ nạp Flash song song (PFL) Lõi IP Intel ® FPGA |
| Song song thụ động nhanh (FPP) thông qua CPLD hoặc vi điều khiển bên ngoài | 8 bit | 100 | 3200 | Đúng | Đúng | Có [17](https://www.intel.com/content/altera-www/global/en_us/index/documentation/sam1403480274650.html#sam1403480261863__clock_rate) | Lõi IP PFL Intel ® FPGA |
| 16 bit | Đúng | Đúng |
| 32 bit | Đúng | Đúng |
| Cấu hình qua HPS | 16 bit | 100 | 3200 | Đúng | Đúng | Có [17](https://www.intel.com/content/altera-www/global/en_us/index/documentation/sam1403480274650.html#sam1403480261863__clock_rate) | - |
| 32 bit | Đúng | Đúng |
| Cấu hình qua Giao thức [CvP (PCIe \*)] | Làn đường x1, x2, x4, x8 | - | 8000 | Đúng | Đúng | Có [16](https://www.intel.com/content/altera-www/global/en_us/index/documentation/sam1403480274650.html#sam1403480261863__fn_partialcanbeperformed) | - |

Bạn có thể cấu hình thiết bị Intel ® Arria ® 10 thông qua PCIe bằng cách sử dụng Cấu hình qua Giao thức (CvP). Việc triển khai Intel ® Arria ® 10 CvP tuân theo yêu cầu thời gian khởi động để kích hoạt 100 ms của PCIe .

# Phát hiện và sửa lỗi SEU

Thiết bị Intel ® Arria ® 10 cung cấp mạch sửa lỗi và phát hiện lỗi sự kiện đơn (SEU) mạnh mẽ và dễ sử dụng.

Mạch phát hiện và sửa lỗi bao gồm bảo vệ các bit lập trình RAM cấu hình (CRAM) và bộ nhớ người dùng. CRAM được bảo vệ bởi mạch phát hiện lỗi CRC chạy liên tục với ECC tích hợp tự động sửa một hoặc hai lỗi và phát hiện lỗi đa bit bậc cao hơn. Khi có nhiều hơn hai lỗi xảy ra, việc sửa lỗi có sẵn thông qua việc tải lại tệp lập trình cốt lõi, cung cấp quá trình làm mới thiết kế hoàn chỉnh trong khi FPGA tiếp tục hoạt động.

Bố cục vật lý của mảng CRAM Intel ® Arria ® 10 được tối ưu hóa để làm cho phần lớn các lỗi đa bit xuất hiện dưới dạng lỗi bit đơn hoặc bit kép độc lập được tự động sửa chữa bằng mạch CRAM ECC tích hợp. Ngoài khả năng bảo vệ CRAM, các khối bộ nhớ M20K cũng bao gồm mạch ECC tích hợp và được bố trí tối ưu hóa để phát hiện và sửa lỗi. MLAB không có ECC.

# Quản lý năng lượng

Thiết bị Intel ® Arria ® 10 tận dụng công nghệ quy trình 20 nm tiên tiến, nguồn điện lõi 0,9 V thấp, kiến ​​trúc lõi nâng cao và một số kỹ thuật giảm năng lượng tùy chọn để giảm tổng mức tiêu thụ điện năng tới 40% so với thiết bị Arria V và bằng 60% so với thiết bị Stratix V.

Các kỹ thuật giảm năng lượng tùy chọn trong thiết bị Intel ® Arria ® 10 bao gồm:

* **SmartVID** —một mã được lập trình vào mỗi thiết bị trong quá trình sản xuất cho phép bộ điều chỉnh thông minh vận hành thiết bị ở lõi V CC thấp hơn trong khi duy trì hiệu suất
* **Công nghệ nguồn có thể lập trình** —các đường dẫn thời gian không quan trọng được xác định bởi phần mềm Intel ® Quartus ® Prime và logic trong các đường dẫn này thiên về công suất thấp thay vì hiệu suất cao
* **Tùy chọn điện tĩnh thấp** —các thiết bị có sẵn với công suất tĩnh tiêu chuẩn hoặc công suất tĩnh thấp trong khi duy trì hiệu suất

Hơn nữa, các thiết bị Intel ® Arria ® 10 có bộ thu phát công suất thấp hàng đầu trong ngành của Intel và bao gồm một số khối IP cứng không chỉ giảm tài nguyên logic mà còn tiết kiệm điện năng đáng kể so với triển khai mềm. Nói chung, các khối IP cứng tiêu thụ ít điện năng hơn tới 90% so với việc triển khai logic mềm tương đương.

# Tổng hợp tăng dần

Các Intel ® Quartus ® Thủ phần mềm tính năng biên dịch gia tăng làm giảm thời gian biên dịch và giúp duy trì hiệu suất để đóng cửa thời gian một cách dễ dàng. Tính năng biên dịch gia tăng cho phép quy trình cấu hình lại từng phần cho các thiết bị Intel ® Arria ® 10 .

Biên dịch tăng dần hỗ trợ các luồng thiết kế từ trên xuống, từ dưới lên và dựa trên nhóm. Tính năng này tạo điều kiện cho các luồng thiết kế theo mô-đun, phân cấp và dựa trên nhóm trong đó các nhà thiết kế khác nhau biên dịch song song các phần thiết kế tương ứng của họ. Hơn nữa, các nhà thiết kế hoặc nhà cung cấp IP khác nhau có thể phát triển và tối ưu hóa các khối khác nhau của thiết kế một cách độc lập. Các khối này sau đó có thể được nhập vào dự án cấp cao nhất.

# Lịch sử sửa đổi tài liệu cho Tổng quan về thiết bị Intel Arria 10

| **Phiên bản tài liệu** | | **Những thay đổi** | |
| --- | --- | --- | --- |
| 2020.10.20 | | Đã sửa số lượng cặp LVDS tối đa cho các dòng sản phẩm Intel ® Arria ® 10 GX 570, GX 660, SX 570 và SX 660 từ 324 cặp thành 300 cặp. | |
| 2018.12.06 | | * Đã thêm liên kết đến tài liệu errata thiết bị Intel ® Arria ® 10 . * Đã xóa tùy chọn nhiệt độ ô tô khỏi thiết bị Intel ® Arria ® 10 GX. * Đã xóa –3 cấp tốc độ vải khỏi thiết bị Intel ® Arria ® 10 GT. * Đã cập nhật các tùy chọn nguồn cho thiết bị Intel ® Arria ® 10 GX và GT. | |
| 2018.04.09 | | Đã cập nhật V CC thấp nhất từ 0,83 V lên 0,82 V trong chủ đề liệt kê tóm tắt các tính năng của thiết bị. | |
| **Ngày** | **Phiên bản** | | **Những thay đổi** |
| Tháng 1 năm 2018 | 2018.01.17 | | * Đã cập nhật tốc độ dữ liệu tối đa cho HPS (Thiết bị Intel ® Arria ® 10 SX giao diện bộ nhớ ngoài Bộ điều khiển DDR3 từ 2,166 Mbps lên 2,133 Mbps. * Đã cập nhật tần số tối đa được hỗ trợ cho một nửa tốc độ QDRII và QDRII + SRAM thành 633 MHz trong *Tiêu chuẩn bộ nhớ được hỗ trợ bởi* bảng *Bộ điều khiển bộ nhớ mềm* . * Đã cập nhật khả năng bảng nối đa năng của bộ thu phát lên 12,5 Gbps. * Đã loại bỏ cấp tốc độ thu phát 5 trong Hình vẽ *Core đặt hàng mẫu và Tùy chọn có sẵn cho Thiết bị Intel ® Arria ® 10 GX* . * Đã xóa mã gói 40, công suất tĩnh thấp, hỗ trợ nhiệt độ hoạt động SmartVID, công nghiệp và quân sự từ *Core đặt hàng mẫu và các tùy chọn có sẵn cho* hình *thiết bị Intel ® Arria ® 10 GT* . * Đã cập nhật tốc độ thu phát trong phạm vi ngắn cho các thiết bị Intel ® Arria ® 10 GT lên 25,8 Gbps. * Thiết bị đo tại chỗ đã xóa - Hỗ trợ công cụ EyeQ và Jitter Margin từ *PMA Các tính năng của Bộ thu phát trong* bảng *Thiết bị Intel ® Arria ® 10* . |
| Tháng 9 năm 2017 | 2017.09.20 | | Đã cập nhật tốc độ tối đa của giao diện bộ nhớ ngoài DDR4 từ 1.333 MHz / 2.666 Mbps lên 1.200 MHz / 2.400 Mbps. |
| Tháng 7 năm 2017 | 2017.07.13 | | Đã sửa phạm vi nhiệt độ ô tô trong hình hiển thị các tùy chọn khả dụng cho thiết bị Intel ® Arria ® 10 GX từ "-40 ° C đến 100 ° C" thành "-40 ° C đến 125 ° C". |
| Tháng 7 năm 2017 | 2017.07.06 | | Đã thêm tùy chọn nhiệt độ ô tô vào dòng thiết bị Intel ® Arria ® 10 GX. |
| Tháng 5 năm 2017 | 2017.05.08 | | * Đã sửa tên giao thức với "1588" thành "IEEE 1588v2". * Đã cập nhật bảng di chuyển theo chiều dọc để loại bỏ di chuyển theo chiều dọc giữa các biến thể thiết bị Intel ® Arria ® 10 GX và Intel ® Arria ® 10 SX. * Đã xóa tất cả các điểm "Sơ bộ". |
| Tháng 3 năm 2017 | 2017.03.15 | | * Đã xóa chủ đề về việc di chuyển từ thiết bị Intel ® Arria ® 10 sang Intel ® Stratix ® 10 . * Đổi tên thành Intel. |
| Tháng 10 năm 2016 | 2016.10.31 | | * Đã xóa gói F36 khỏi thiết bị Intel ® Arria ® 10 GX. * Đã cập nhật mã đặt hàng mẫu Intel ® Arria ® 10 GT và số bộ thu phát GX tối đa. Thiết bị Intel ® Arria ® 10 GT chỉ có sẵn trong tùy chọn gói SF45 với tối đa 72 bộ thu phát. |
| Tháng 5 năm 2016 | 2016.05.02 | | * Đã cập nhật chủ đề Cấu hình FPGA và Khởi động HPS. * Xóa V CC PowerManager khỏi các chủ đề Tóm tắt về Tính năng, Quản lý Nguồn và Biến thể Thiết bị Arria 10 và các chủ đề về gói. Tính năng này không còn được hỗ trợ trong các thiết bị Arria 10. * Đã xóa LPDDR3 khỏi Tiêu chuẩn bộ nhớ được hỗ trợ bởi bảng Bộ điều khiển bộ nhớ cứng HPS trong chủ đề Tiêu chuẩn bộ nhớ được hỗ trợ bởi Intel ® Arria ® 10 Thiết bị. Tiêu chuẩn này chỉ được hỗ trợ bởi FPGA. * Đã xóa tốc độ thu phát cấp 5 khỏi chủ đề Gói và Biến thể thiết bị cho thiết bị Arria 10 GX và SX. |
| Tháng 2 năm 2016 | 2016.02.11 | | * Đã thay đổi mức dữ liệu tối đa của Arria 10 GT thành 25,8 Gbps và mức dữ liệu tối thiểu thành 1 Gbps trên toàn cầu. * Đã sửa đổi trạng thái cho mạng xung nhịp lõi trong chủ đề Tóm tắt các tính năng. * Đã thay đổi các thông số bộ thu phát trong bảng "Tóm tắt các tính năng cho thiết bị Arria 10". * Đã thay đổi thông số bộ thu phát trong bảng "Số lượng tài nguyên tối đa cho thiết bị Arria 10 GT". * Đã thay đổi tính khả dụng của gói cho thiết bị GT trong bảng "Gói gói cho thiết bị Arria 10 GT". * Đã thay đổi cấu hình gói cho thiết bị GT trong hình "Khả năng di chuyển qua các dòng sản phẩm Arria 10". * Đã thay đổi các thông số bộ thu phát trong phần "Bộ thu phát nối tiếp công suất thấp". * Đã thay đổi mô tả bộ thu phát trong bảng "Biến thể thiết bị cho dòng thiết bị Arria 10". * Đã thay đổi hình "Mã đặt hàng mẫu và các tùy chọn có sẵn cho thiết bị Arria 10 GT". * Đã thay đổi các thông số dữ liệu cho thiết bị GT trong phần "Tính năng PMA". * Đã thay đổi các thông số dữ liệu cho thiết bị GT trong phần "Tính năng PCS". |
| Tháng 12 năm 2015 | 2015.12.14 | | * Đã cập nhật số lượng khối bộ nhớ M20K cho Arria 10 GX 660 từ 2133 lên 2131 và sửa tổng số bit RAM từ 48.448 Kb thành 48.408 Kb. * Đã sửa số khối DSP cho Arria 10 GX 660 từ 1688 thành 1687 trong bảng liệt kê tài nguyên số học dấu phẩy động. |
| Tháng 11 năm 2015 | 2015.11.02 | | * Đã cập nhật tài nguyên tối đa cho Arria 10 GX 220, GX 320, GX 480, GX 660, SX 220, SX 320, SX 480 và SX 660. * Đã cập nhật số lượng tài nguyên cho thiết bị Arria 10 GX 320, GX 480, GX 660, SX 320, SX 480, SX 660 trong **Số lượng nhân trong**bảng **Thiết bị Intel ® Arria ® 10** . * Đã cập nhật các tùy chọn có sẵn cho Arria 10 GX, GT và SX. * Đã thay đổi các phiên bản của Quartus II thành Quartus Prime . |
| Tháng 6 năm 2015 | 2015.06.15 | | Đã sửa nhãn cho các dòng sản phẩm Intel ® Arria ® 10 GT trong hình di chuyển dọc. |
| Tháng 5 năm 2015 | 2015.05.15 | | Đã sửa các tần số tối đa một nửa tỷ lệ DDR3 và một phần tư tỷ lệ trong bảng liệt kê các tiêu chuẩn bộ nhớ được hỗ trợ bởi bộ điều khiển bộ nhớ cứng Intel ® Arria ® 10 . |
| Tháng 5 năm 2015 | 2015.05.04 | | * Đã thêm hỗ trợ cho 13,5G JESD204b trong bảng Tóm tắt Tính năng. * Đã thêm liên kết đến Sử dụng kênh Arria 10 GT trong chủ đề Gói gói Arria 10 GT. * Đã thêm ghi chú vào bảng, Tổng số tài nguyên tối đa cho thiết bị Arria 10 GT. * Đã cập nhật yêu cầu công suất của bộ thu phát trong chủ đề Bộ thu phát nối tiếp công suất thấp. |
| Tháng 1 năm 2015 | 2015.01.23 | | * Đã thêm các tính năng số học dấu phẩy động trong bảng Tóm tắt Tính năng. * Đã cập nhật tổng bộ nhớ nhúng từ 38,38 megabit (Mb) lên 65,6 Mb . * Đã cập nhật bảng liệt kê các tiêu chuẩn bộ nhớ được hỗ trợ bởi các thiết bị Intel ® Arria ® 10 . * Đã xóa hỗ trợ cho DDR3U, LPDDR3 SDRAM, RLDRAM 2 và DDR2. * Đã chuyển hỗ trợ RLDRAM 3 từ bộ điều khiển bộ nhớ cứng sang bộ điều khiển bộ nhớ mềm. Hỗ trợ RLDRAM 3 sử dụng PHY cứng với bộ điều khiển bộ nhớ mềm. * Đã thêm hỗ trợ bộ điều khiển bộ nhớ mềm cho QDR IV. * Đã cập nhật bảng đếm tài nguyên tối đa để bao gồm số lượng bộ điều khiển bộ nhớ cứng có sẵn trong mỗi biến thể thiết bị. * Đã cập nhật tốc độ dữ liệu PCS của bộ thu phát từ 12,5 Gbps lên 12 Gbps. * Đã cập nhật tốc độ xung nhịp tối đa của PS, FPP x8, FPP x16 và Cấu hình qua HPS từ 125 MHz lên 100 MHz. * Đã thêm một tính năng cho PLL tổng hợp phân số: PLL xếp tầng. * Đã cập nhật I / Os đa năng có thể lập trình HPS từ 54 lên 62. |
| Tháng 9 năm 2014 | 2014.09.30 | | * Đã sửa số lượng 3 VI / O và LVDS I / O cho các gói F35 và F36 của Arria 10 GX. * Đã sửa số lượng 3 VI / O, LVDS I / O và bộ thu phát cho gói NF40 của Arria GX 570 và 660. * Đã xóa 3 VI / O, LVDS I / O và bộ thu phát cho gói NF40 của Arria GX 900 và 1150. Gói NF40 không khả dụng cho Arria 10 GX 900 và 1150. |
| Tháng 8 năm 2014 | 2014.08.18 | | * Cập nhật Bộ nhớ (Kb) Tài nguyên tối đa M20K cho thiết bị Arria 10 GX 660 từ 42,660 lên 42,620. * Đã thêm các cột GPIO bao gồm Ngân hàng I / O LVDS và Ngân hàng I / O 3V trong bảng Gói gói. * Đã thêm cách sử dụng tần số xung nhịp giao diện bộ nhớ cao hơn 533 MHz trong quá trình di chuyển dọc I / O. * Đã thêm thông tin để làm rõ rằng hỗ trợ RLDRAM3 sử dụng PHY cứng với bộ điều khiển bộ nhớ mềm. * Đã thêm hỗ trợ khối DSP có độ chính xác thay đổi cho số học dấu phẩy động. |
| Tháng 6 năm 2014 | 2014.06.19 | | Đã cập nhật số lượng I / Os chuyên dụng trong khối HPS lên 17. |
| Tháng 2 năm 2014 | 2014.02.21 | | Đã cập nhật các tùy chọn cấp tốc độ thu phát cho các thiết bị GT trong Hình 2. |
| Tháng 2 năm 2014 | 2014.02.06 | | Đã cập nhật tốc độ dữ liệu cho thiết bị Arria 10 GT từ 28,1 Gbps lên 28,3 Gbps . |
| Tháng 12 năm 2013 | 2013.12.10 | | * Đã cập nhật hỗ trợ tiêu chuẩn bộ nhớ HPS từ LPDDR2 lên LPDDR3. * Sơ đồ khối HPS được cập nhật để bao gồm các khối Cấu hình HPS I / O và FPGA chuyên dụng cũng như các khối SD / SDIO / MMC, DMA, SPI và NAND Flash được định vị lại với các khối ECC. |
| Tháng 12 năm 2013 | 2013.12.02 | | Phát hành lần đầu. |